



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0075440
Application Number

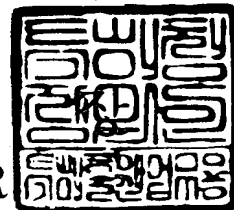
출 원 년 월 일 : 2003년 10월 28일
Date of Application OCT 28, 2003

출 원 인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 24 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003. 10. 28
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 트랜지스터 제조방법
【발명의 영문명칭】	Method for fabricating transistor of semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	서천석
【대리인코드】	9-2002-000233-5
【포괄위임등록번호】	2003-014348-4
【발명자】	
【성명의 국문표기】	박정호
【성명의 영문표기】	PARK, Jeong Ho
【주민등록번호】	661007-1630211
【우편번호】	467-902
【주소】	경기도 이천시 장호원을 노탑리 193-1 기산아파트 402호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서천석 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	490,000 원

【요약서】**【요약】**

본 발명은 반도체 소자의 트랜지스터 제조방법에 관한 것으로, 보다 자세하게는 트랜치형 게이트를 형성하여 추가적인 공정 없이 소오스/드레인 저항 및 게이트 저항을 낮출 수 있고, 단채널 효과를 효율적으로 조절이 가능한 반도체 소자의 트랜지스터 제조방법에 관한 것이다.

본 발명의 상기 목적은 기판에 이온주입하여 LDD 영역을 형성하는 단계, 상기 기판에 제 1 절연막을 형성하는 단계, 상기 제 1 절연막을 패터닝한 후, 상기 기판을 식각하여 트랜치를 형성하는 단계, 상기 트랜치가 형성된 기판에 제 2 절연막과 도전체를 전면 증착한 후 평탄화하여 트랜치 게이트를 형성하는 단계, 상기 제 1 절연막을 식각하여 스페이서를 형성하는 단계 및 상기 스페이서 및 게이트를 이온주입 마스크로 하고, 상기 기판에 이온주입하여 소오스/드레인 영역을 형성하는 단계를 포함하는 반도체 소자의 트랜지스터 제조방법에 의해 달성된다.

따라서, 본 발명의 반도체 소자의 트랜지스터 제조방법은 트랜치형 게이트를 형성하여 추가적인 공정 없이 소오스/드레인 저항 및 게이트 저항을 낮출 수 있고, 단채널 효과를 효율적으로 조절이 가능한 효과가 있다.

【대표도】

도 2g

【색인어】

트랜지스터, 트랜치 게이트, 단채널 효과

【명세서】**【발명의 명칭】**

반도체 소자의 트랜지스터 제조방법{Method for fabricating transistor of semiconductor device}

【도면의 간단한 설명】

도 1은 종래기술에 의한 트랜치 게이트 MOSFET 소자에 대한 부분 단면도.

도 2a 내지 도 2g는 본 발명에 따른 트랜지스터의 제조 방법을 나타낸 공정단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 트랜지스터 제조방법에 관한 것으로, 보다 자세하게는 트랜치 형 게이트를 형성하여 추가적인 공정없이 소오스/드레인 저항 및 게이트 저항을 낮출 수 있고, 단채널 효과를 효율적으로 조절이 가능한 반도체 소자의 트랜지스터 제조방법에 관한 것이다.
- <4> 반도체 소자의 고집적화에 따른 미세화의 발전으로 현재 트랜지스터의 선폭은 계속 미세화되고 있다. 이로 인해 트랜지스터 내에는 핫 캐리어(Hot Carrier) 현상이 발생하게 되는데, 이 현상은 외부 인가 전압에 비해 채널 길이가 짧을 경우 수평 전계가 드레인 영역 쪽으로 크게 집중되어 드레인 영역의 전기적 특성을 열화시키고 이때 발생된 정공들이 기판 방향으로 빠

져나가게 된다. 반면에, 전자는 게이트산화막 아래쪽이나 스페이서 하부에 트랩되어 문턱전압에 영향을 미치게 된다.

- <5> 즉, 이러한 핫 캐리어 현상은 소자의 미세화로 인해 채널 영역이 짧아지지만 공급전원전압이 변함없이 일정하기 때문에 반도체기판의 채널에 고전기장이 인가되는 경우에 많이 발생한다. 특히, 소오스 영역과 드레인 영역 사이에 있는 캐리어의 이동통로인 채널의 길이가 짧을수록 더 심하게 나타난다.
- <6> 상기 핫 캐리어 효과를 극복하기 위하여 대부분의 트랜지스터의 제조공정은 LDD(Lightly Doped Drain) 구조를 채택하고 있는데, 이는 게이트전극을 사이에 두고 기판 내에 있는 소오스/드레인영역의 이온주입농도가 게이트전극 에지 부근에서는 저농도인 반면에 다른 중심 부분에서는 고농도인 이층구조의 접합(Graded Junction)을 형성함으로써 전기장의 급격한 변화를 줄이기 위한 것이다.
- <7> 그러나, 반도체소자의 고집적화 추세에 의해 계속적으로 채널길이가 짧아지기 때문에 상술한 LDD 구조의 트랜지스터 역시 단채널(short channel) 현상이 발생하게 된다. 그러면, LDD 영역의 도펀트가 채널로 확산되어 채널 에지에서 드레인 사이에 고전기장이 인가되어 핫-캐리어 현상을 발생하여 트랜지스터의 성능을 열화시킨다.
- <8> 또한, 트랜지스터 동작시 소오스와 드레인의 불순물들이 측면으로 확산되어 펀치쓰루(punchthrough) 효과를 유발하기 쉬워 이를 방지하기 위한 이온주입 공정이 많아지는 번거로움이 있으며, 채널 길이 및 그 농도조절이 정확하지 않을 경우 문턱 전압을 조절하기 어려운 문제점이 있다.

<9> 이러한 문제점을 해결하기 위하여 기판 상부의 스페이서 사이에 트랜지스터 게이트 전극 하부면이 기판 내부에 매립되고 그 게이트전극의 측면과 하부면에 요(凹) 홈 형태로 이루어진 게이트산화막을 가지고 있는 트랜지스터 구조에 의해 유효 채널 길이를 증가시켜서 고집적 반도체소자의 전기적 특성을 향상시킬 수 있는 트랜치형 게이트전극 구조의 트랜지스터가 대한민국 공개특허 제 2001-64434호에 기재되어 있다. 그러나 이러한 기술도 게이트가 부분적으로 매립되어 게이트가 실리콘 기판에 비해 높이 솟아 있는 형태의 구조를 갖고 있어 소자의 미세화 시 문제점이 있다.

<10> 미합중국 특허 제 6,511,886호와 대한민국 특허 제 10-0218260호에는 트랜치 게이트를 형성하기 위하여 트랜치를 형성시 트랜치 코너부분을 라운딩하여 상기 트랜치 표면에 균일한 산화막을 형성하는 기술이 기재되어 있다. 그러나, 상기 기술은 제조공정시 마스크의 증가로 제조공정이 복잡하다는 문제점이 있다.

<11> 트랜치 게이트를 사용하는 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)는 낮은 턴-온(turn-on) 저항을 제공한다. 그러한 트랜치 MOSFET 소자에서, 채널은 대부분의 평면 구성에서와 같은 수평 방식 대신에 수직 방식으로 배열된다. 도 1은 종래의 트랜치 게이트 MOSFET 소자(2)에 대한 부분 단면도를 도시한다. MOSFET 소자는, 절연 물질(10)로 된 얇은 층에 의해 실리콘 영역(8)으로부터 분리된 전도성 물질(6)로 채워져 있는 트랜치(4)를 포함한다. 바디 영역(body region)(12)은 에피택셜 층(18)에서 확산되고, 소스 영역(14)은 바디 영역(12)에서 차례로 확산된다. 트랜치(4) 내의 전도성(6) 및 절연 물질(10)은 각각 트랜치 DMOS의 게이트 및 게이트 산화물층을 형성한다. 더욱이, 소스(14)에서 에피택셜 층(18)까지 측정된 깊이(L)는 트랜치 DMOS 디바이스의 채널 길이(L)를 구성한다. 에피택셜 층(18)은 트랜치 DMOS 디바이스의 드레인(20)의 일부분이다. 전위차

가 바디(12) 및 게이트(15) 양단간에 인가될 때, 전하는 게이트 산화물 층(16)에 인접한 바디 영역(12) 내에서 용량적으로 유도되며, 이것으로 인해 트렌치 DMOS 디바이스의 채널(21)을 형성하게 된다.

- <12> 상기 구조의 트랜지스터는 바디영역과 에피택셜 층으로 확산되는 2가지 확산 단계로 인해 이중 확산 금속 산화막 반도체 전계 효과 트랜지스터 즉 '트렌치 DMOS'로 종종 언급된다. 이러한 트렌치 DMOS 트랜지스터는 미합중국 특허 제 5,907,776호, 제 5,072,266호, 제 5,541,425호 및 제 5,866,931호에 기재되어 있다. 그러나 상기의 기술들은 소오스 및 드레인 영역이 분리되어 있어 소자의 미세화에 한계가 있고, 제조 공정이 복잡하다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <13> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 트렌치형 게이트를 형성하여 추가적인 공정 없이 소오스/드레인 저항 및 게이트 저항을 낮출 수 있고, 단채널 효과를 효율적으로 조절이 가능한 반도체 소자의 트랜지스터 제조방법을 제공함에 본 발명의 목적이 있다.

【발명의 구성 및 작용】

- <14> 본 발명의 상기 목적은 기판에 이온주입하여 LDD 영역을 형성하는 단계, 상기 기판에 제 1 절연막을 형성하는 단계, 상기 제 1 절연막을 패터닝한 후, 상기 기판을 식각하여 트렌치를 형성하는 단계, 상기 트렌치가 형성된 기판에 제 2 절연막과 도전체를 전면 증착한 후 평탄화하여 트렌치 게이트를 형성하는 단계, 상기 제 1 절연막을 식각하여 스페이서를 형성하는 단계

및 상기 스페이서 및 게이트를 이온주입 마스크로 하고, 상기 기판에 이온주입하여 소오스/드레인 영역을 형성하는 단계를 포함하는 반도체 소자의 트랜지스터 제조방법에 의해 달성된다.

<15> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

<16> 도 2a 내지 도 2g는 본 발명에 따른 트랜지스터의 제조 방법을 나타낸 공정단면도이다.

<17> 우선 도 2a는 실리콘 기판(101)에 이온주입(102)으로 LDD 이온주입 영역(111)을 형성한 도면이다. 기존에 게이트가 실리콘 기판의 상부에 형성된 트랜지스터는 게이트를 형성한 후에 상기 게이트를 마스크로 저농도 불순물 이온주입 공정을 진행하여 LDD 이온주입 영역을 형성하였는데, 본 발명은 게이트가 형성되기 전에 저농도 불순물 이온주입 공정을 진행하여 LDD 이온주입 영역을 형성한다. 상기 LDD 이온주입 영역을 형성하기 위한 이온주입 에너지는 10 내지 80keV가 바람직하다.

<18> 다음, 도 2b에 도시된 바와 같이, 실리콘 기판의 상부에 제 1 절연막(103)을 형성하고, 상기 제 1 절연막을 상부에 포토레지스트를 증착하고 패터닝한 도면이다. LDD 이온주입 영역이 형성된 기판의 상부에 제 1 절연막을 증착하고, 상기 제 1 절연막의 상부에 포토레지스트를 형성하고 현상 및 노광 공정으로 게이트가 형성될 영역을 패터닝한다. 상기 제 1 절연막은 질화막 또는 산화막이 바람직하다.

<19> 다음, 도 2c에 도시된 바와 같이, 제 1 절연막과 기판을 식각하여 트렌치(105)를 형성한다. 패터닝이 형성된 포토레지스트를 마스크로 상기 제 1 절연막과 실리콘 기판을 식각하여 게이트가 형성될 트렌치를 형성한 후 상기 포토레지스트를 제거한다. 상기 식각은 건식식각을 이

용하여 트렌치를 형성하며, 또한 도 2d에 도시된 바와 같이, 경사식각을 이용한 건식식각을 진행한 후에 포토레지스트 패턴을 제거하고 CF_4/O_2 또는 CHF_3/O_2 를 이용한 화학건식식각 (Chemical Dry Etch ; CDE)를 이용하여 트렌치의 하부 모서리를 라운딩되게 형성(205)하여 추후 증착할 층의 균일성을 증가시킬 수 있다.

<20> 다음, 도 2e에 도시된 바와 같이, 제 2 절연막(106)과 도전체(107)를 증착한 후에 평탄화하여 트렌치 게이트를 형성한다. 트렌치가 형성된 기판에 게이트 절연막으로 제 2 절연막을 형성하고, 제 2 절연막의 상부에 게이트용 도전체를 형성한다. 이어 상기 도전체 및 상기 제 2 절연막을 CMP(Chemical Mechanical Polishing)를 이용하여 평탄화한다. 상기 CMP 공정시 상기 제 1 절연막을 식각정지층으로 이용하여 제 1 절연막이 드러나면 CMP 공정을 중지한다. 상기 도전체는 폴리 실리콘을 이용하거나 텅스텐계, 티타늄계 또는 탄탈륨계 금속화합물을 이용하는 것이 바람직하다. 상기 제 2 절연막으로는 탄탈륨계 옥사이드, 티타늄계 옥사이드 또는 하프늄계 옥사이드가 바람직하다.

<21> 다음, 도 2f에 도시된 바와 같이, 상기 제 1 절연막을 식각하여 스페이서(108)를 형성하고 상기 게이트와 스페이스를 마스크로 이온주입(109)하여 소오스/드레인 영역(112)을 형성한다. 게이트 형성 후 게이트 절연막측, 제 2 절연막 양측에 존재하는 제 1 절연막을 이방성 식각으로 식각하여 상기 제 2 절연막의 측벽에만 존재하도록 남기고 나머지는 제거하여 스페이서를 형성한다.

<22> 이어 상기 게이트와 스페이스를 마스크로 하여 고농도 불순물 이온주입 공정을 진행하여 소오스/드레인 영역을 형성한다. 상기 소오스/드레인 영역을 형성하기 위한 이온주입의 에너지는 10 내지 100keV가 바람직하다.

- <23> 다음, 도 2g에 도시된 바와 같이, 열처리 공정을 진행하여 LDD 영역(111)과 소오스/드레인 영역(112)을 안정화시킨다. LDD영역(111)은 게이트보다 위에 형성되어 있으나 후속 열처리 공정에 의하여 상기 LDD 영역 및 소오스 드레인 영역을 안정화 시키는 동시에 상기 LDD 영역 및 소오스 드레인 영역을 확산시켜 채널의 길이를 조절할 수 있다.
- <24> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

【발명의 효과】

- <25> 따라서, 본 발명의 반도체 소자의 트랜지스터 제조방법은 트렌치형 게이트를 형성하여 추가적인 공정 없이 소오스/드레인 저항 및 게이트 저항을 낮출 수 있고, 단채널 효과를 효율적으로 조절이 가능한 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 소자의 트랜지스터 제조방법에 있어서,

기판에 이온주입하여 LDD 영역을 형성하는 단계;

상기 기판에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막을 패터닝한 후, 상기 기판을 식각하여 트렌치를 형성하는 단계;

상기 트렌치가 형성된 기판에 제 2 절연막과 도전체를 전면 증착한 후 평탄화하여 트렌치 게이트를 형성하는 단계;

상기 제 1 절연막을 식각하여 스페이서를 형성하는 단계; 및

상기 스페이서 및 게이트를 이온주입 마스크로 하고, 상기 기판에 이온주입하여 소오스/드레인 영역을 형성하는 단계

를 포함하는 반도체 소자의 트랜지스터 제조방법.

【청구항 2】

제 1항에 있어서,

상기 소오스/드레인 영역을 형성하는 단계 이후에 열처리 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【청구항 3】

제 1항에 있어서,

상기 제 1 절연막은 산화막 또는 질화막임을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【청구항 4】

제 1항에 있어서,

상기 도전체는 폴리 실리콘, 텅스텐계 금속화합물, 티타늄계 금속화합물 및 탄탈륨계 금속화합물 중 어느 하나임을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【청구항 5】

제 1항에 있어서,

상기 LDD 이온주입 영역을 형성하기 위한 이온주입 에너지는 10 내지 80 keV임을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【청구항 6】

제 1항에 있어서,

상기 소오스/드레인 영역을 형성하기 위한 이온주입의 에너지는 10 내지 100 keV임을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【청구항 7】

제 1항에 있어서,

상기 트렌치를 형성하기 위한 식각은 건식식각임을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【청구항 8】

제 1항에 있어서,

상기 트렌치를 형성하기 위한 식각은 경사식각을 이용한 건식식각과 화학건식식각을 이용하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【청구항 9】

제 8항에 있어서,

상기 화학건식식각은 트렌치의 하부 모서리를 라운딩되게 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【청구항 10】

제 8항에 있어서,

상기 화학건식식각은 CF_4/O_2 또는 CHF_3/O_2 를 이용하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

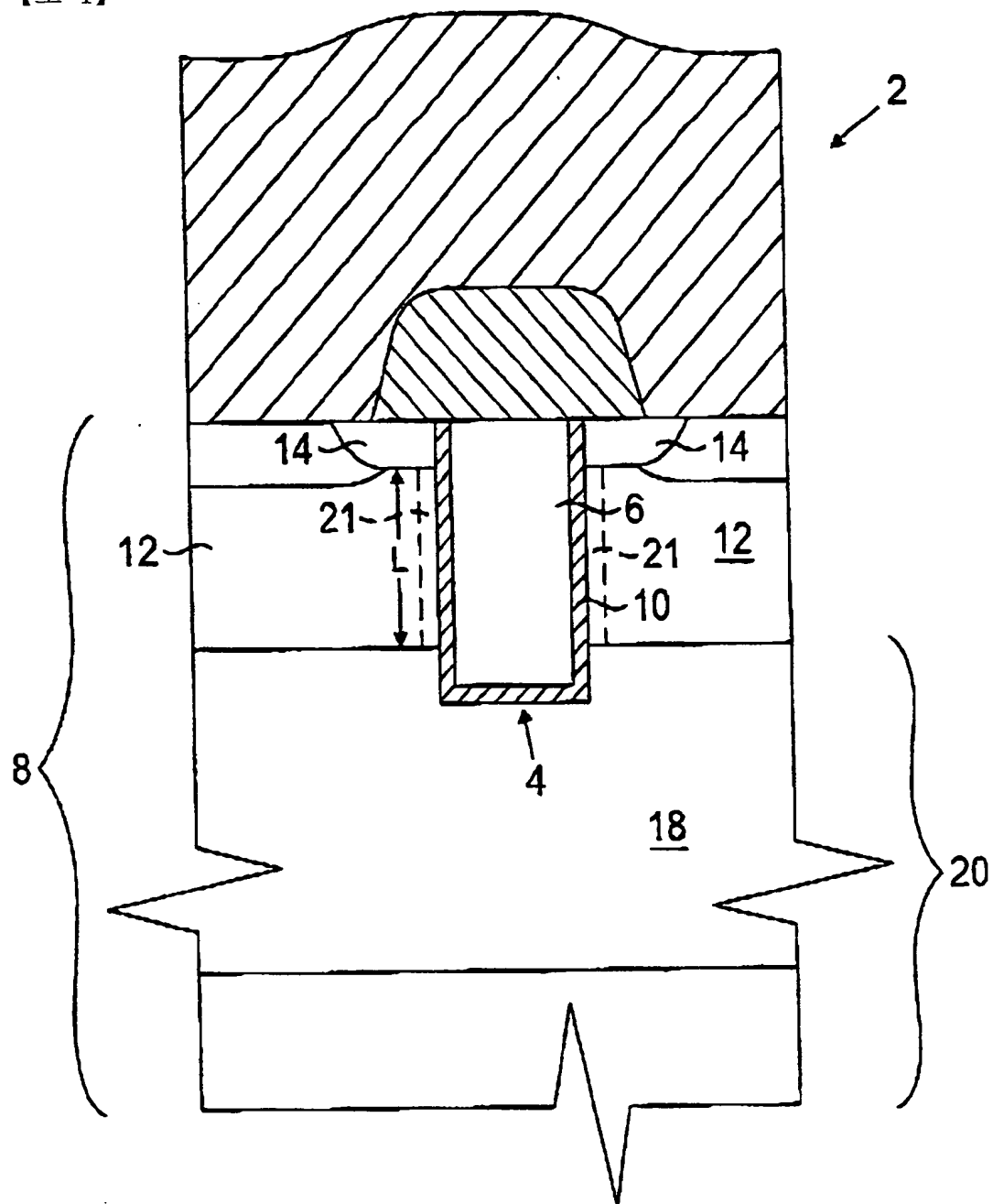
【청구항 11】

제 1항에 있어서,

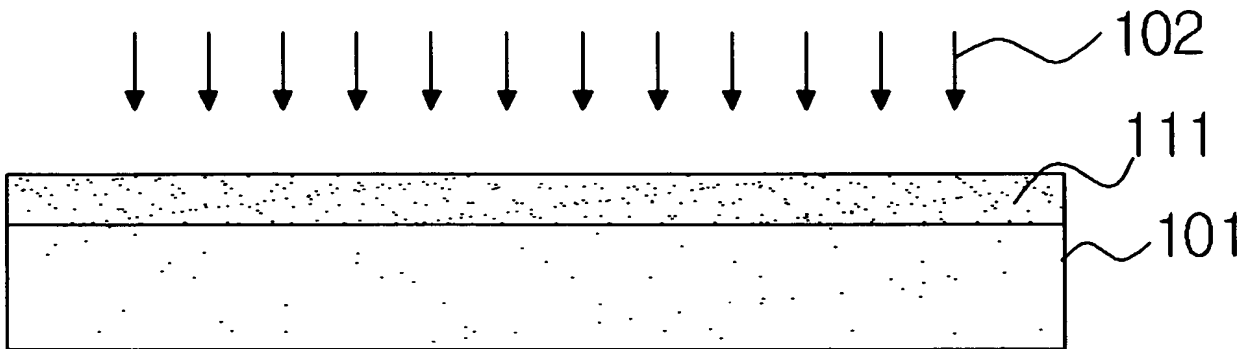
상기 평탄화는 제 1 절연막을 식각정지층으로 이용하는 CMP 공정임을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

【도면】

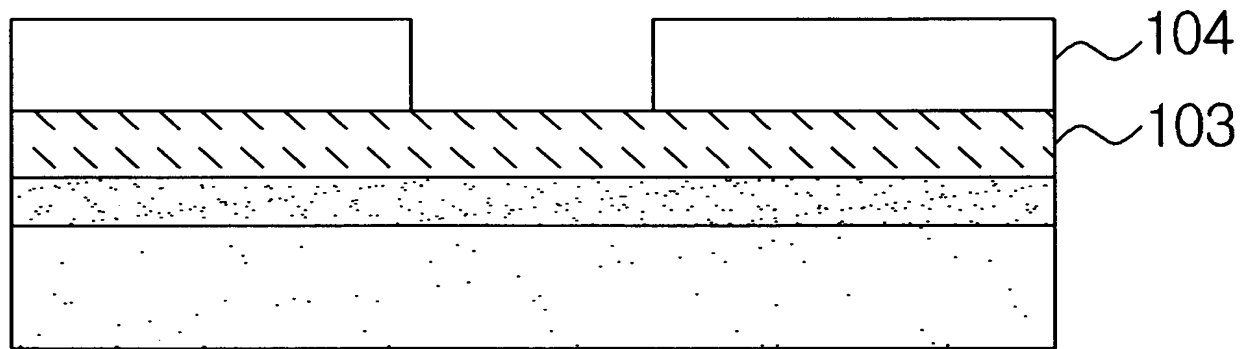
【도 1】



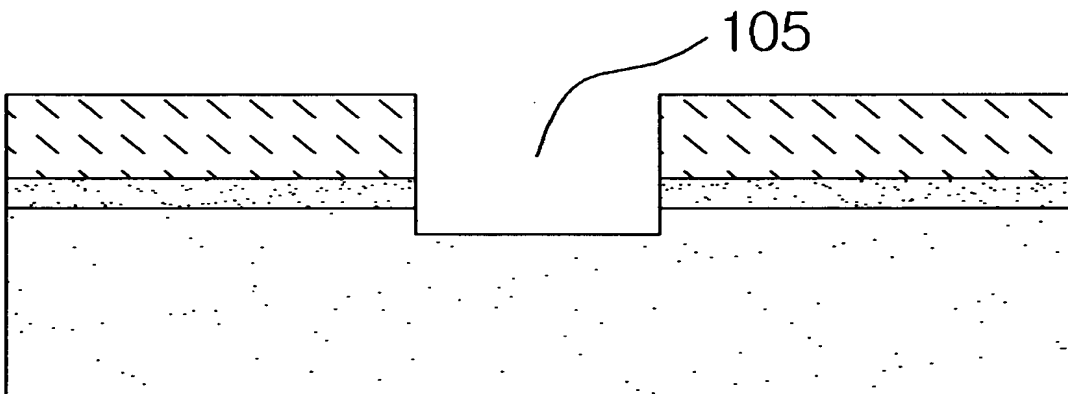
【도 2a】



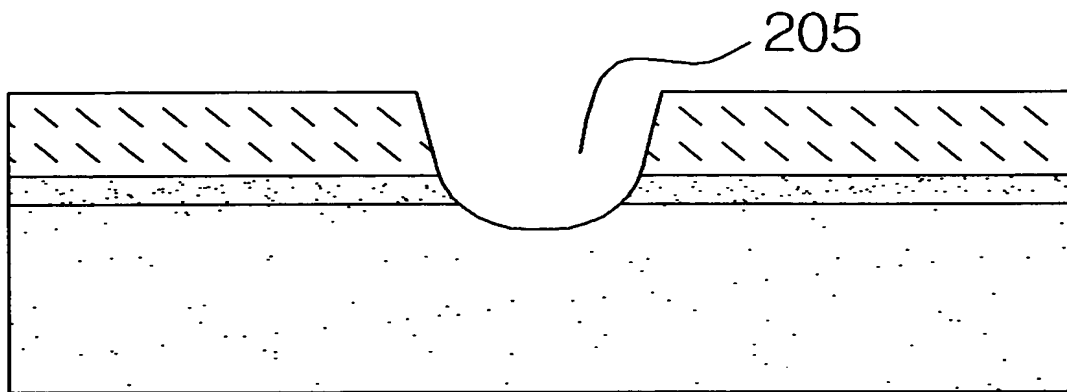
【도 2b】



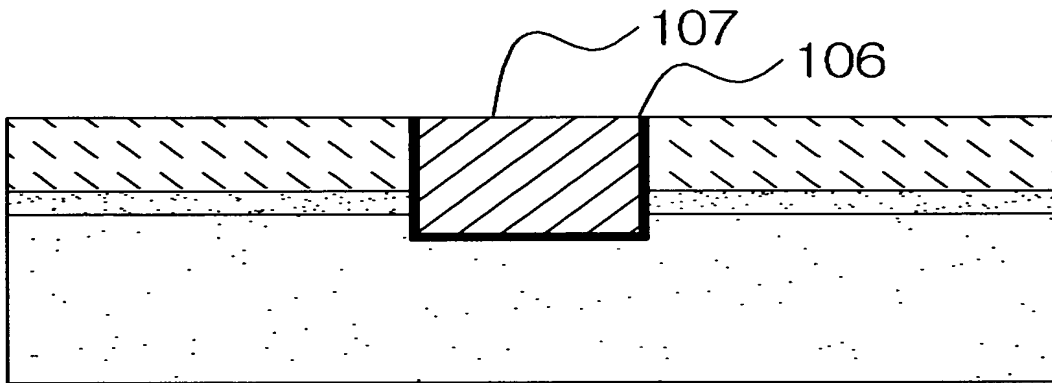
【도 2c】



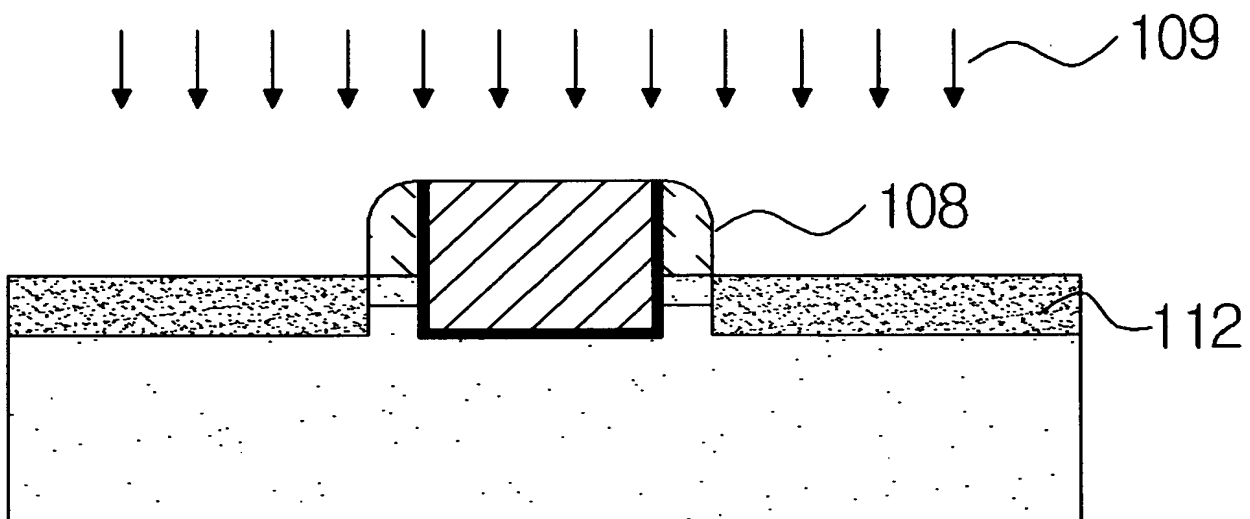
【도 2d】



【도 2e】



【도 2f】



【도 2g】

